

CIRCUITO PROCESADOR/GENERADOR DE LOH/MSOH SONET/SDH A 2.5 Gbps.

Javier Vázquez Castillo, Víctor Sánchez Huerta

jvazquez@uqroo.mx, vsanchez@uqroo.mx,

División de Ciencias e Ingeniería, Universidad de Quintana Roo
Boulevard Bahía s/n, esq. Ignacio Comonfort, Col. del Bosque,
Chetumal, Quintana Roo, C.P. 77019

Alejandro Castillo Atoche

acastill@tunku.uady.mx

Facultad de Ingeniería, Ing. Mecatrónica
Universidad Autónoma de Yucatán
Mérida, Yucatán, México

RESUMEN

El presente trabajo muestra el diseño e implementación de un circuito para procesar y generar los bytes de la tara LOH/MSOH en redes SONET/SDH. La arquitectura del circuito, verificación y resultados de síntesis también son mostrados. Este circuito es parte del proyecto Implementación de un ADM a 2.5 Gbps. El diseño de este circuito posee grandes características para lograr velocidades mayores a los 2.5 Gbps.

Palabras clave: SONET/SDH–diseño de hardware–síntesis–verificación.

INTRODUCCIÓN A SONET/SDH

Cuando los datos son transmitidos sobre un medio de comunicación, varias funciones deben ser proporcionadas en el enlace, como lo son: entramado de datos, corrección de errores, capacidad para manejar el enlace, etc.

Para comunicaciones ópticas, esas funciones han sido estandarizadas por el comité ANSI T1X1.5 como SONET (Synchronous Optical Networking-Red óptica síncrona) y por la ITU como SDH (Synchronous Digital Hierarchy-Arquitectura digital síncrona). La prime-

ra finalidad del desarrollo de SONET/SDH, ha sido la definición de una arquitectura óptica síncrona con la suficiente flexibilidad para transportar diferentes tipos de datos (PDH, ATM, etc.).

La estructura básica de la trama SONET se muestra en la Figura 1, y ésta se compone de nueve filas por 90 octetos. Los octetos son transmitidos de izquierda a derecha y de arriba hacia abajo. Las primeras tres columnas de la trama SONET son llamados TOH (Transport Overhead-Tara de transporte) y a su vez el TOH se divide en SOH (Section Overhead-Tara de sección) y

Circuito procesador

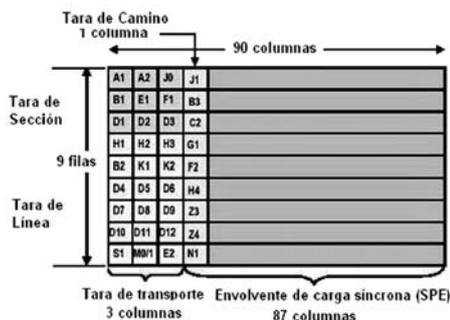


Figura 1. Trama básica SONET STS-1

LOH (Line Overhead-Tara de línea). El espacio de 87 columnas posteriores al TOH, recibe el nombre de SPE (Synchronous Payload Envelope-Envolvente de carga síncrona). Dentro del SPE existe otra columna de encabezado llamado POH (Path Overhead-Tara de camino) y su posición dentro del SPE varía por las diferencias en tiempo existentes entre redes.

La trama básica SONET tiene una tasa de transmisión de 51.84 Mbps (90 columnas * 9 filas * 8,000 tramas por segundo * 8 bits). Las 8,000 tramas por segundo son necesarias para poder transportar tráfico plesiócrono acorde a la norma G.711 de la ITU, la cual especifica que la granularidad de las muestras de voz es un octeto y éstas deberán ser tomadas 8,000 veces por segundo o cada 125 µs. Este tipo de transmisión (SONET a 51.84 Mbps) es conocido como STS-1 (Synchronous Transport Signal of level 1- Señal de transporte síncrono de nivel 1). El término *plesiócrono* está relacionado a redes diferentes que aunque operan a la misma velocidad, cada una de ellas tiene su propio reloj de sincronía y siempre existirán pequeñas diferencias entre

dichos relojes. Por lo anterior el término *plesiócrono* se puede asociar a *casi síncrono*.

La ITU especifica una tasa de transmisión mínima para SDH de tres veces la tasa mínima de transmisión existente en SONET (tres veces 51.84 Mbps o 155.52 Mbps) y la cual es llamada señal STM-1 (Synch-ronous Transport Module of level 1-Módulo de transporte síncrono de nivel 1). SDH también usa una trama de nueve filas, pero una señal STM-1 es tres veces mayor en columnas en comparación a una señal STS-1. Este patrón es repetido para señales de mayor nivel en SONET/SDH (una señal STS-12/STM-4 tiene 9 filas, pero 1080 columnas).

El TOH crece en la misma proporción. En una señal STS-1, se tiene tres columnas de TOH. Una STS-3/STM-1 tendrá 9 columnas de TOH y una señal STS-768/STM-256 tendrá 2304 columnas de TOH. La Tabla 1 proporciona las tasas de transmisión comunes en SONET/SDH.

La parte equivalente al LOH (SONET) en SDH es el MSOH (Multiplex Section Overhead - Tara de multiplexión) y es parte importante del TOH. El MSOH se compone de los siguientes bytes: B2, K1 y K2, D4-D12, S1, M0/M1 and E2. Las principales funciones de esos bytes son: monitoreo de errores, conmutación de protección automática (APS), detección de señal de indicación de alarma a nivel de línea (AIS-L), indicación de defecto remoto a nivel de línea (RDI-L), canales de comunicación de datos a 576 kbps para OAM&P, estado de la sincronización de la red, reporte de

Tabla 1. Tasas de transmisión comunes en SONET/SDH

Nombre en SONET	Nombre en SDH	Tasa del TOH (Mbps)	Tasa del SPE (Mbps)	Tasa de transmisión (Mbps)
STS-1	No existe	1.728	50.112	51.84
STS-3	STM-1	5.184	150.336	155.52
STS-12	STM-4	20.736	601.344	622.08
STS-48	STM-16	84.625	2405.376	2488.32
STS-192	STM-64	331.776	9621.504	9953.28
STS-768	STM-256	1327.104	38486.016	39813.12

errores y canal de voz. Para mayor detalle sobre el significado de estos bytes, así como también los restantes de la tara LOH/MSOH puede consultarse (SONET, 1995; UIT-T G.707, 1996; UIT-T G.780, 1999; UIT-T G.783, 1997).

Un ADM (Add Drop Multiplexer–Multiplexor Extractor Insertor) es un dispositivo intermedio que permite multiplexar o demultiplexar señales digitales que viajan a través de la fibra sin necesidad de perturbar las demás señales. Dado que SONET/SDH está basado en una tecnología síncrona, al ADM le es posible saber en que momento extraer/insertar las señales que le interesan de las tramas STS-N que viajan a través de él. Este dispositivo posee una gran cantidad de usos, puede ser usado como dispositivo intermedio para consolidar señales de dos sitios distintos o puede ser usado para implementar redes tipo anillo.

Entre las tecnologías emergentes para el diseño de circuitos digitales se encuentran los SPLD (Simple Programmable Logic Device–Dispositivo lógico Programable Simple), CPLD (Complex Programmable Logic Device–Dispositivo lógico Programable

Complejo) hasta llegar a los más modernos como lo son los FPGA'S (Field Programmable Gate Array–Arreglo de Compuertas Programable en el Campo). Un FPGA es un dispositivo programable por el usuario el cual contiene componentes lógicos programables capaces de realizar funciones lógicas mediante componentes internos como compuertas y, or, xor, etc. También cuenta con elementos de memoria interna y componentes embebidos por el fabricante como microcontroladores. Es un dispositivo fácil de usar mediante Lenguajes de Descripción de Hardware (HDL), se aprovecha la programación en paralelo (concurrente) y su principal ventaja es que puede ser programado múltiples veces, bajando los costos cuando en el diseño se encuentran fallos y se requiera que sea programado nuevamente. Sus desventajas principales son el costo y su velocidad con respecto a los dispositivos no programables.

En este trabajo se hace referencia al diseño sobre un FPGA de un dispositivo capaz de realizar el “procesamiento y generación de la tara LOH/MSOH” para SONET/SDH y el cual

Circuito procesador

es parte de la implementación de un ADM realizado en CINVESTAV, Unidad Guadalajara (Torres et al., 2002).

Los objetivos principales del presente trabajo son los siguientes:

1. Resumen de los requerimientos especificados por los estándares internacionales, para el procesamiento/generación de la tara LOH/MSOH en las redes SONET/SDH.
2. Creación de una arquitectura flexible, acorde a la especificación de requerimientos para el procesamiento y generación de dicha tara.
3. Realización de las arquitecturas planteadas, por medio de un lenguaje de descripción de hardware, como lo es VHDL.
4. Realización de un plan de verificación, el cual garantice el funcionamiento de las arquitecturas propuestas.
5. Síntesis del código realizado, por medio de una herramienta de síntesis existente como lo es Synopsys.

RESUMEN DE REQUERIMIENTOS DE DISEÑO

Procesador de LOH/MSOH

1. El procesador de bytes B2 deberá incluir: Detección de errores de bit, detección de errores por bloques, acumulador de errores de bit y bloque por segundo, detectar degradación de la

señal y falla de señal.

2. El procesador de bytes K1 y K2 deberá realizar el filtrado de los mismos y realizar la detección de inconsistencia del byte APS, AIS-L Y RDI-L.

3. Se deberá realizar el filtrado del byte S1.

4. El byte M0/M1 deberá ser validado y realizar la acumulación de errores durante 1 segundo.

5. Se deberá realizar la extracción de los canales de datos D4-D12 y voz E2.

6. Para mayor detalle revisar (SONET, 1995; UIT-T G.707, 1996).

Generador de LOH/MSOH

1. Cálculo de los bytes B2's.
2. Se deberá realizar la inserción de los bytes correspondientes al MSOH de acuerdo con (SONET, 1995; UIT-T G.707, 1996).

ARQUITECTURA

Circuito procesador de tara

El procesador de tara LOH/MSOH se encuentra formado por siete bloques, los cuales realizan funciones específicas sobre cada uno de los bytes de la tara acorde a los requerimientos.

El diseño de esta arquitectura (Figura 2), fue implementado mediante el uso de VHDL (Very high speed circuit integrated Hardware Description Language). La descripción de cada uno de los bloques se presenta a continuación:

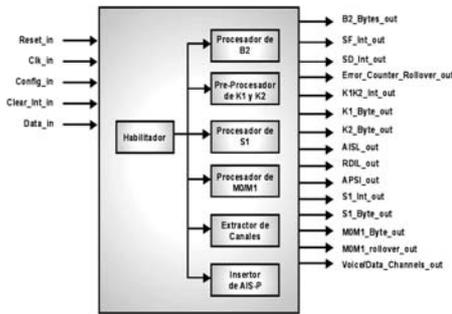


Figura 2. Arquitectura del procesador de tara LOH/MSOH.

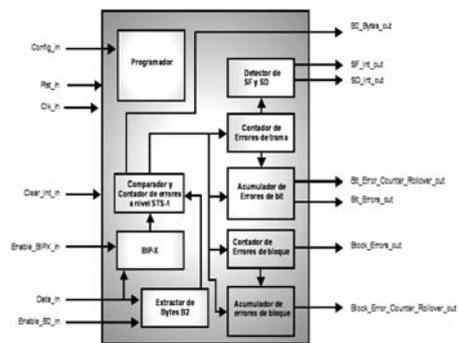


Figura 3. Microarquitectura del procesador de bytes B2

Habilitador

Este bloque es el encargado de habilitar y de poner en funcionamiento a cada uno de los demás bloques de la arquitectura. Se encuentra formado por una máquina de tres estados, la cual lleva el control de los bytes del flujo de datos de entrada. Dicho control consiste en realizar un conteo de los bytes de entrada y habilitar a cada uno de los bloques cuando su byte correspondiente para su procesamiento esté presente.

Procesador de B2

Los bytes B2 son puestos por cada una de las STS-1 en el flujo de datos para funciones de monitoreo de errores en el dispositivo. Esta función es un código BIP-X (Bit Interleaved Parity X; X=8, 24, o 96) utilizando paridad par (SONET, 1995; UIT-T G.707, 1996). El procesador de B2 se encuentra formado por los bloques de la Figura 3. La descripción de cada bloque se presenta a continuación:

- *Programador*: elemento en-

cargado de realizar la configuración del dispositivo de acuerdo al nivel de trama a procesar (STS-1, STS-3, STS-N).

- *Extractor de bytes B2*: extrae los bytes B2 del flujo de datos de entrada.
- *BIP-X*: se encuentra formado por una máquina de estados la cual realiza el cálculo de la paridad par del flujo de datos de entrada.
- *Comparador y contador de errores a nivel STS-1*: proceso encargado de realizar la comparación entre los bytes B2 provenientes del flujo de datos de entrada y los calculados.
- *Contador de errores de trama*: realiza la acumulación de errores a nivel STS-N. El número máximo de errores posibles es $N \cdot 8$ errores, donde N es el nivel del flujo de datos de entrada.
- *Acumulador de errores de bit*:

Circuito procesador

realiza el conteo de los errores de bit existentes en las tramas procesadas. Este conteo acumula los errores de trama y genera una señal cuando ha existido un número máximo de errores durante 1 segundo.

- *Contador de errores de bloque:* una vez configurado, este bloque realiza un conteo por bloque a nivel STS-1 o nivel STS-3.
- *Acumulador de errores de bloque:* realiza la acumulación de errores de bloque de las tramas procesadas. Si ha ocurrido un número de errores máximo por bloque durante un segundo, una interrupción será generada.
- *Detector de SF Y SD:* este bloque declara las condiciones SF (falla de señal) y SD (degradación de señal), cuando el número de errores existentes en la trama sobrepasan un umbral. Se ha definido para la detección de SF un BER de 10^{-3} , 10^{-4} y 10^{-5} , y un BER de 10^{-5} , 10^{-6} y 10^{-7} para SD de acuerdo a los estándares (SONET, 1995; UIT-T G.707, 1996).

Pre-procesador de K1 y K2

Descripción de la microarquitectura (Figura 4):

- *Programación:* proceso encargado de realizar la configuración para el filtrado de los bytes K1 y K2.
- *Extractor de bytes K1 y K2:* extrae al byte K1 y K2 del flujo de datos de entrada cuando és-

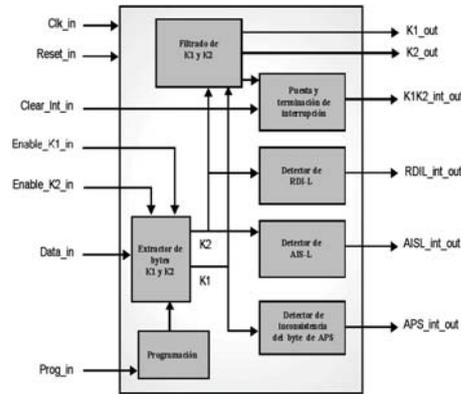


Figura 4. Microarquitectura del pre-procesador de K1 y K2.

tos se encuentran en el flujo de datos de entrada.

- *Filtrado de K1 y K2:* proceso encargado de realizar el filtrado de los bytes K1 y K2. Estos bytes pueden ser filtrados con el arribo de tres o cuatro tramas consecutivas, las cuales contienen el mismo valor en K1 y K2. Lo anterior es realizado con una máquina de dos estados.
- *Puesta y terminación de interrupción:* genera una interrupción cuando se ha cumplido con el filtrado.
- *Detector de RDI-L:* este proceso es el encargado de realizar la detección del defecto RDI-L. La detección consiste en hacer un filtrado de los bits del 6 al 8 de K2 en busca del patrón 110. Este filtrado es realizado por cinco tramas consecutivas como lo indican los requerimientos.
- *Detector de AIS-L:* Proceso encargado de realizar la detección del defecto AIS-L en el flu-

jo de datos de entrada. En la detección, se hace un filtrado de los bits del 6 al 8 de K2 en busca del patrón 111 por cinco tramas consecutivas.

- *Detector de inconsistencia del byte de APS:* En este proceso se realiza la detección de inconsistencia del byte de APS (APSI). La detección es realizada de acuerdo a los requerimientos, los cuales establecen que dicha inconsistencia será declarada cuando en una ventana de 12 tramas, tres de ellas no contengan el mismo valor en K1 de manera consecutiva, habiendo inicializado con la última trama que contenía un byte consistente.

Las microarquitecturas restantes no son presentadas por limitaciones de espacio y sí la descripción general de ellas.

Pre-procesador de S1

Componente encargado de filtrar el byte S1, el cual lleva el estado de sincronización del elemento de red.

Procesador de M0/M1

Este bloque realiza la extracción del byte M0/M1 y lleva acabo una cuenta de los errores ocurridos en el extremo distante.

Extractor de canales

Realiza la extracción de los canales de voz y datos según su posición en el flujo de datos de entrada.

Insertor de AIS-P

Este componente es el encargado de

realizar la inserción de la señal AIS-P (señal de indicación de alarma de camino), en presencia de los defectos LOS, LOF O AIS-L, de acuerdo a lo especificado por los requerimientos (SONET, 1995; UIT-T G.707, 1996).

Circuito Generador de Tara

Este circuito es el encargado de realizar la inserción de cada uno de los bytes que forman la tara SONET/SDH. El único bloque donde es necesario hacer procesamiento para generar los bytes, es el Calculador de bytes B2 (Figura 5). Estos bytes servirán en al lado receptor para determinar el número de errores ocurridos durante la transmisión (SONET, 1995; UIT-T G.707, 1996).

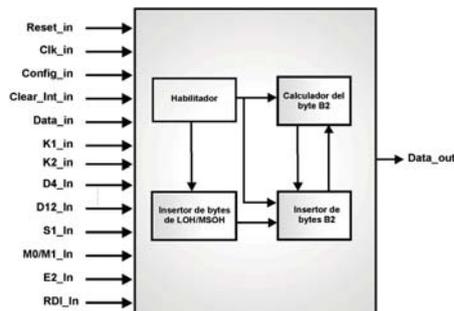


Figura 5. Arquitectura del generador de tara LOH/MSOH.

SIMULACIÓN Y VERIFICACIÓN

El objetivo de la verificación es asegurar que el diseño implementado posee funcionalidad. La verificación fue realizada usando el proceso de verificación mostrado en la Figura 6. En esta cama de pruebas, puede verse que el diseño bajo prueba (DUT) está interactuando

Cicuito procesador...

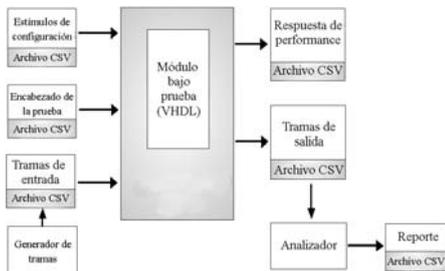


Figura 6. Cama de pruebas y diseño bajo prueba.

con el generador de estímulos y los archivos de salida. La cama de pruebas fue configurada para varios casos de pruebas, los cuales verificaron cada uno de los requerimientos de los bloques de la arquitectura.

Hoy en día, nuevas técnicas de verificación formal están siendo utilizadas en conjunto con la técnica de verificación funcional, esto con la finalidad de garantizar el cumplimiento de los requerimientos propuestos para un diseño determinado, para ello modificaciones en la etapa de diseño deben ser realizadas como es propuesto en (Aguilar, Torres y González, 2003 y Moreno, Torres y Robles, 2005). Hasta ahora la técnica de verificación formal no ha sido aplicada al diseño propuesto en este trabajo.

Una vez finalizada la verificación funcional de los diseños, el proceso de síntesis fue realizado. La síntesis es el proceso mediante el cual el modelo del circuito descrito en VHDL, es procesado y convertido por la herramienta de síntesis (Synopsys) en un archivo “netlist” de compuertas interconectadas (siendo éste una base de datos), donde éstas son seleccionadas de una librería elegida previamente por el usuario. Este

archivo resultante formará entonces la síntesis, siendo ahora un diseño a nivel compuerta que puede ser grabado a un dispositivo lógico programable como lo es un FPGA.

La herramienta utilizada para llevar a cabo la síntesis de los códigos fue Design Analyzer de Synopsys, utilizando la librería para FPGA’S flex10k-3_fpga.db. Design Analyzer es una herramienta gráfica que permite la configuración de la síntesis de manera manual por medio de cuadros de diálogo y la elección de opciones de configuración.

En la realización de la síntesis, el periodo de reloj para el análisis de tiempo de los diseños fue de 12.86 ns, ya que es el tiempo de periodo mínimo en que los diseños pueden llegar a operar. Los resultados de la síntesis utilizando el FPGA FLEX10K100 (0.42 μ m a 5 volts) son los siguientes: El Procesador de LOH/MSOH STS-48/STM-16 dio un total de 111,900 compuertas. El Generador de LOH/MSOH STS-48/STM-16 dio un total de 49,000 compuertas.

Las especificaciones de la máquina donde la síntesis fue realizada son: SUN Blade con procesador RISC a 500MHz, con 512 MB de memoria RAM y 1 GB de memoria virtual.

CONCLUSIONES

El trabajo que se ha presentado es un subsistema para el procesamiento y generación de tramas LOH/MSOH para redes SONET/SDH y que puede ser utilizado para implementar un Add

Drop Multiplexer (ADM) (Torres, et al., 2002). Por otra parte, el desarrollo de este proyecto busca proveer enseñanza práctica como diseñadores de equipo de telecomunicaciones (Castillo, 2002); así como proporcionar experiencia para futuras generaciones en lo referente al diseño de equipos de telecomunicaciones en el área de redes de alta velocidad.

ción e interfaces para un ADM SONET/SDH STS-48/STM-16, Tesis de Maestría, CINVESTAV IPN, Unidad Guadalajara, México.

BIBLIOGRAFÍA

- Synchronous Optical Network (SONET) Transport Systems: Common Generic Criteria*, GR-253-CORE, ISSUE 2, December 1995 whit revision, December , 1997.
- UIT-T Rec. G.707 Interfaz de nodo de red para la jerarquía digital síncrona, 03/96.
- UIT-T Rec. G.780 Vocabulary of terms for SDH networks and equipment, 06/99.
- UIT-T REC. G.783. Características de los bloques funcionales del equipo de la jerarquía digital síncrona, 04/97.
- D. Torres, A. Castillo, J. Moreno, J. Vázquez and J. R. Verdín, 2002, A 2.5 Gbps SONET STS-48/SDH STM-16 Add Drop Multiplexer, Iberchip IWS, Guadalajara, México.
- A. Aguilar, D. Torres and R.E. Gonzáles. Verificación formal de un alineador de tramas utilizando lógica temporal lineal, IEEE ROC&C 2003, Acapulco, Guerrero, México, CP-20.
- J. A. Moreno, D. Torres and S. Robles, 2005, *Design with formal verification of an ADM switch module*, CIINDET Cuernavaca, Morelos, México.
- J. Vázquez Castillo, 2002, *Módulos de procesamiento/generación de tramas de LOH/MSOH y Registros, configura-*